

# VERFAHREN ZUR BILDUNG EINES KONDENSATORS

Publication number: JP5335510

Publication date: 1993-12-17

Inventor: TORANGU TEII DOON; DEIBITSUDO EI KIYASEI

Applicant: MICRON TECHNOLOGY INC

Classification:

- international: **H01L27/04; H01L21/02; H01L21/822; H01L21/8242;  
H01L27/10; H01L27/108; H01L27/04; H01L21/02;  
H01L21/70; H01L27/10; H01L27/108; (IPC1-7):  
H01L27/108; H01L27/04**

- European:

Application number: JP19920260576 19920904

Priority number(s): US19910755985 19910906

Also published as:

US5240871 (A)

DE4229363 (A)

[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error](#) he

## Abstract of JP5335510

PURPOSE: To provide a dynamic random access memory having a corrugated element contact capacitor for increasing the capacitance.

CONSTITUTION: A corrugated element contact capacitor is made by alternately depositing dielectric material layers 50, 55 by evaporation which substantially have different etch rates or which are selectively wet-etched from one side to the other. Layers are isotropically etched, and a cavity having a corrugated side wall is formed. A diffused polycrystalline layer 70 is deposited by evaporation so as to serve as an element node capacitor pole plate. After depositing a dielectric layer 80 by evaporation, a diffused polycrystalline layer 85 is deposited by evaporation so as to serve as an upper capacitor pole plate. The capacitor so formed has a self-aligned element node capacitor pole plate in a contact region 65 of a substrate 3.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-335510

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. <sup>5</sup> H 01 L 27/108 27/04	識別記号 C 8427-4M 8728-4M	序内整理番号 F I H 01 L 27/ 10	技術表示箇所 3 2 5 C
--	------------------------------	--------------------------------	-------------------

審査請求 未請求 請求項の数10(全 14 頁)

(21)出願番号 特願平4-260576  
(22)出願日 平成4年(1992)9月4日  
(31)優先権主張番号 755985  
(32)優先日 1991年9月6日  
(33)優先権主張国 米国(US)

(71)出願人 591020009  
マイクロン・テクノロジー・インコーポレ  
イテッド  
MICRON TECHNOLOGY, I  
NCORPORATED  
アメリカ合衆国、83706 アイダホ州、ボ  
イーズ、イースト・コロンビア・ロード  
2805  
(72)発明者 トラング・ティー・ドーン  
アメリカ合衆国、83712 アイダホ州、ボ  
イーズ、シェナンドア・ドライブ 1574  
(74)代理人 弁理士 田澤 博昭 (外2名)

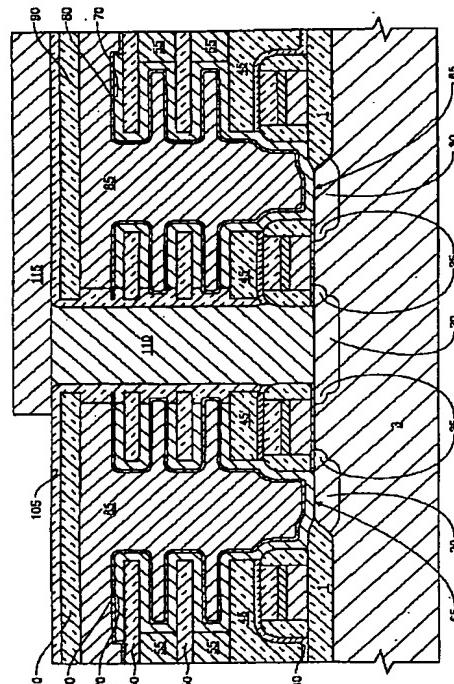
最終頁に続く

(54)【発明の名称】 波状素子接点コンデンサおよび波状素子接点コンデンサを形成するための方法

(57)【要約】 (修正有)

【目的】 キャパシタンスを増大するために波状素子接点コンデンサを有するダイナミック・ランダムアクセスメモリーを提供する。

【構成】 波状素子接点コンデンサは、実質的に異なるエッティング速度または選択的に一方から他方へ向う湿潤エッティングのいずれかを有する誘電性材料からなる交互の層50、55を蒸着させることによって作成される。層は等方性にエッティングされ、波状の側壁を有する空洞が提供される。拡散多結晶層70は素子ノードコンデンサ極板として機能するように蒸着される。誘電層80の蒸着を行なった後、上側コンデンサ極板を形成するようにその場拡散多結晶層85を蒸着させる。抗して形成されたコンデンサは基板3の接点領域65に自己整合する素子ノードコンデンサ極板を有するという特徴を有する。



## 【特許請求の範囲】

【請求項1】 半導体装置内に少なくとも一つのコンデンサを形成するための方法であって、

- a) エッチング停止層(40)を形成して予め作成してある構造(21、22)および上記半導体装置の基板(3)を被覆することと、
- b) エッチング可能な材料による交互の層(50、55)を、相互に接触するように形成して、接触を有する上記層が実質的に異なるエッチング率を有するようになすことと、
- c) 上記基板(3)の接点領域(65)を被覆する上記エッチング停止層(40)の少なくとも一部を露光するために上記交互の層(50、55)内に開口(60)を設けることと、
- d) 上記交互の層(50、55)のエッチングにおいて、速いエッチング速度を有する上記交互の層(50、55)が遅いエッチング速度を有する上記交互の層(50、55)より実質的に多く消費されるようになすことと、
- e) 上記接点領域(30)を露光するために上記エッチング停止層(40)を除去することと、
- f) 上記交互の層(50、55)と上記接点領域(65)を接続するための第1の導電層(70)を設け、上記第1の導電層(70)が第1のコンデンサ極板を形成するようになすことと、
- g) 上記第1の導電層(70)を接続するための誘電層(80)を形成することと、
- h) 上記誘電層(80)を接続するための第2の導電層(85)を設け、上記第2の誘電層(85)が第2のコンデンサ極板を形成するようになすことよりなることを特徴とする方法。

【請求項2】 a) 上記エッチング停止層(40)の上記蒸着に続けてまた上記交互の層(50、55)の蒸着に先立ち、絶縁層(45)を蒸着させることで、上記交互の層(50、55)が実質的に上記絶縁層(45)上で選択的にエッチング可能であるようになし、上記絶縁層(45)が上記エッチング停止層(40)を被覆した上記予め作成してある構造(21、22)の間のへこみを充填するようになすことと、  
b) 上記絶縁層(45)を平滑化することを更に含むことを特徴とする請求項1に記載の方法。

【請求項3】 上記開口(60)の上記作成はさらに、上記基板(3)の上記接点領域(65)を被覆する上記エッチング停止層(40)を露光するために、上記交互の層(50、55)および上記絶縁層(45)をエッチングすることを含み、上記エッチングで上記絶縁層(45)並びに上記交互の層(50、55)内に側壁を形成し、上記側壁が実質的に上記基板(3)の上部表面に垂直であることを含むことを特徴とする請求項2に記載の方法。

【請求項4】 上記交互の層の上記エッチングが少なくとも上記側壁(61)内に一つのうねりを形成することを特徴とする請求項3に記載の方法。

【請求項5】 上記第1の導電層(70)の上記作成はさらに、上記絶縁層(45)と、上記交互の層(50、55)と、上記接点領域(65)を接触させるための上記第1の導電層(70)の蒸着を含むことを特徴とする請求項2に記載の方法。

10 【請求項6】 上記エッチング停止層(40)がアルミニウム酸化物、アルミニウム窒化物、シリコン炭化物、バリウム酸化物、およびセラミックを含む素材群から選択されることを含む請求項1に記載の方法。

【請求項7】 上記交互の層(50、55)の蒸着は更に、第1の誘電層(55)および第2の誘電層(50)の交互の蒸着を含むことを特徴とする請求項2に記載の方法。

20 【請求項8】 上記第1の誘電層(55)が上記第2の誘電層(50)より速いエッチング速度を有し上記絶縁層(45)を被覆した接触させるように最初に蒸着されることを特徴とする請求項7に記載の方法。

【請求項9】 上記第1の誘電層(55)がSi<sub>3</sub>N<sub>4</sub>であり上記第2の誘電層(50)がSiO<sub>2</sub>であることを特徴とする請求項8に記載の方法。

【請求項10】 一つの半導体装置内に複数のコンデンサを形成するための方法であって、

- a) 予め作成してある構造(21、22)および上記半導体装置の基板(3)を被覆するようにエッチング停止層(40)を蒸着させることと、
- b) 上記エッチング停止層(40)を被覆し、かつ上記予め作成してある構造(21、22)の間のへこみを充填するように絶縁層(45)を蒸着させることと、
- c) 上記絶縁層(45)を平滑化することと、
- d) 相互に接触させてエッチング可能な材料の交互の層(50、55)を蒸着させ、接触を有する上記層が実質的に異なるエッチング速度を有し、上記交互の層(50、55)が上記絶縁層(45)を被覆し、上記交互の層(50、55)が上記絶縁層(45)の上で実質的に選択的にエッチング可能であるようになすことと、
- e) 上記絶縁層(45)および上記交互の層(50、55)の複数部分を保護するために、上記交互の層(50、55)をパターンを作つてあるフォトレジストでマスキングすることで開口を設けることと、
- f) 上記開口(60)を形成し、上記開口(60)のそれぞれで上記基板(3)の接点領域(65)の少なくとも一部を被覆する上記エッチング停止層(40)を露光するために、上記絶縁層(45)および上記交互の層(50、55)をエッチングして、上記開口(60)が上記絶縁層と上記交互の層による側壁を有し、上記側壁が実質的に上記基板の上部表面に対し垂直となすこと、

- g) 上記絶縁層上の上記交互の層(50、55)を選択的にエッチングすることにおいて、速いエッチング速度を有する上記交互の層(50、55)が遅いエッチング速度を有する上記交互の層(50、55)より実質的に多く消費され、上記エッチングが上記側壁(61)にうねりを形成するようになすことと、  
 h) 上記接点領域(65)を露光するために上記エッチング停止層(40)をエッチングすることと、  
 i) 上記交互の層(50、55)と、上記絶縁層(45)と、上記接点領域(65)が接触するように第1のコンデンサ層(70)をプランケット蒸着させることと、  
 j) 上記第1のコンデンサ層(70)をマスキングし、上記マスキングで複数のコンデンサ領域を設けることと、  
 k) 上記複数のコンデンサそれぞれについて上記第1のコンデンサ層が個々の第1のコンデンサ極板に分割されるように上記第1のコンデンサ層(70)をエッチングすることと、  
 l) 少なくとも上記個々の第1のコンデンサ極板を被覆するように誘電層(80)をプランケット蒸着させることと、  
 m) 上記誘電層(80)を被覆するように第2のコンデンサ層(85)をプランケット被覆することで、上記第2のコンデンサ層(85)が上記複数のコンデンサそれぞれの第2のコンデンサ極板を形成し、上記複数のコンデンサそれぞれの上記第2のコンデンサ極板が相互に電気的に連通することを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体技術に関するもので、より特定すれば、ダイナミック・ランダムアクセス・メモリー(DRAM)内に使用するためのセル型コンデンサに関する。

## 【0002】

【技術的背景】DRAMのメモリーセルは二つの構成要素よりなる：電界効果型トランジスタ(FET)およびコンデンサである。従来の平板コンデンサを使用するDRAMセルにおいて、FETより平板コンデンサに使用される表面積の方が多い。このようなDRAMセルを作成する上で、ワード線は一般に多結晶シリコン1層をエッチングして作る。シリコン基板の拡散領域は下側のコンデンサ極板(素子ノード)として機能し、それに対して多結晶シリコン2は一般に上側コンデンサ極板(セル側極板)として機能する。

【0003】平板コンデンサは一般に1メガビット程度までのDRAMチップでの使用には充分であることが証明されているが、さらに進化したDRAM世代では使用不可能であると見なされている。メモリーチップ内の部品密度が上昇するにつれ、セル・コンデンサの寸法の縮

小によって多数の問題が発生する。第1に、通常の背景放射のアルファ粒子成分がシリコン基板中に正孔・電子の対を生成し、これが下側コンデンサ極板として機能するようになる。この減少は影響を受けたセルコンデンサ内に保存された荷電を急速に消失させ、「ソフト」エラーを招来する。第2に、検出增幅器差動信号が減少する。これにより雑音感受性が悪化し、適切な信号選択性を有する検出增幅器の設計がさらに困難になる。第3に、セルコンデンサの寸法が減少するため、セル・リフレッシュ時間が一般に短縮され、リフレッシュ・オーバーヘッドについてさらに頻繁な割り込みが必要とされることになる。そのためDRAM設計者の困難な目標は、セル寸法が縮小するにつれ、製品歩留りを悪化させるまたは製造工程においてマスク処理および拡散段階の工程数を大幅に増加させる処理を見直すことなく、セル容量を増加させるまたは少なくとも維持せることにある。

【0004】4メガビットDRAMメーカーの多くは非平板コンデンサに基づくセル設計を行なっている。2種類の基本的コンデンサ設計が現在使用に供されている。一つはトレチ(溝)型コンデンサであり、もう一つはスタックコンデンサである。両形式の非平板コンデンサとも平板コンデンサに比べ製造時のマスキング、拡散、エッチング段階数を大幅に増加させる必要がある。

【0005】トレチコンデンサにおいて、平板コンデンサの水平方向に対向して、荷電は第1に垂直方向に保存される。トレチコンデンサは基板中にエッチングされた溝内部に製造されることから、平板コンデンサ同様に典型的なトレチコンデンサもソフトエラーを発生させ得る。さらに、トレチの設計に固有の他の問題が幾つか存在する。問題の一つはトレチ間の荷電漏洩で、これは隣接トレチ間の寄生トランジスタ効果により発生する。もう一つの問題は製造工程の間にトレチを完全に清掃するのが困難なことである。トレチの完全な清掃の失敗は故障セルを発生させる。

【0006】一方、スタックコンデンサの設計はトレチ型設計に比べ幾分信頼性が高く製造が簡単であることが証明されている。典型的なスタックコンデンサの下側および上側極板は独立した多結晶シリコン層から形成され、スタックコンデンサは一般に平板またはトレチコンデンサに比べソフトエラーに対する感受性が低い。ワード線およびディジット線をコンデンサ層の下に配置することにより、また下側層を埋め込み接点を用いて基板と接触させることにより、メーカー数社はコンデンサの縦方向の部分が全荷電保持能力に大幅に寄与するスタックコンデンサ設計を作り出している。スタックコンデンサは一般にセルの全領域(セルのアクセスFETを含む)を包括するだけではなく、隣接フィールドの酸化領域も含み、キャパシタンスは平板セルから利用できるもの以上に大幅に拡張される。欠点としては、基板接点領域に対する下側コンデンサ極板の精密な位置合わせが最

も決定的であることから製造工程が複雑になる点である。下側コンデンサ極板と基板接点領域の間の接触量を最大限にとるのも難しい。

【0007】スタッカセルコンデンサは一般に、4メガビット世代で多くの専門家が広く選択していると見なされ、トレンチコンデンサは16メガビット世代およびそれ以上で最良の選択であると見なされている。トレンチがアレイの構造に影響することなく容量を増加するために深く製作できるためである。

#### 【0008】

【発明の要約】本発明は最小限の製造工程を用いて高密度／大容量D R A M 製造工程における記憶セル表面領域を最大限に確保することを目的とする。本発明は4メガビット世代およびそれ以上に適用可能である。表面領域は基板接点領域に対し位置合わせが最重要課題ではなく、波状の側壁を有する記憶接点コンデンサを製造することで増加する。処理工程は単純化され、歩留りの向上によってエラー率が減少する。

【0009】本発明は各エッティング停止層のプランケット蒸着で予め保護されている誘電性オーバーレイF E Tおよびワード線の初期層を蒸着および平面化することによって実現される。エッティング停止層を使用することによって後のコンデンサ領域のパターン整形が決定的ではなくなる。実際に、マスクは既に製作されたほかの層を障害することなく基板からコンデンサへの接觸領域より大きな領域を決定できる。この特徴により、基板接点へ最大限のコンデンサが製作可能になり、D R A M 装置の寸法を増加させることなく容量を増加できる。

【0010】実質的に異なるエッティング率または選択的に一方から他方へ向かう湿潤エッティングのいずれかを有する誘電性材料の交互の層を蒸着させ、マスクしてエッティングを行なうことで記憶接点コンデンサ形成のための決定的ではない開口を形成することが出来る。

【0011】湿潤エッティングがこの後実施される。一つ以上の形式の蒸着層が湿潤エッティングにより消費されることから、将来のコンデンサを形成する開口部は波状の側壁を有する。波状側壁はコンデンサ形成により影響されるD R A M 領域を最小限としつつキャパシタンスを増加させる。

【0012】セルを構成する開口におけるエッティング停止層の除去後、記憶ノードコンデンサ平板と、誘電性および上側コンデンサ平板を含むコンデンサ層がプランケット蒸着される。こうして得られたコンデンサは、接點領域に自己整合する側壁とコアを有するプラグである。コアと側壁は基板上部表面に対し実質的に垂直である。フィンガは誘電性が湿潤エッティングによって消費されたコアへ垂直に延在する。フィンガはうねりに有効に作用する。

【0013】処理は接点プラグおよび相互接続線の形成によって完了する。

【0014】本発明によりセル寸法1.6平方μmを有する記憶セルと8.6平方μmのコンデンサが得られる。

#### 【0015】

【実施例】本発明は基板接点領域との位置合わせが決定的ではなく、波状側壁を有する記憶コンデンサを実現することにより高密度／大容量D R A M 製造工程において記憶セル表面領域を最大限に確保することを目的としている。工程の手順は図1から図17に図示してある。

10 【0016】各セルのコンデンサはセル内の埋め込み接点と接触をなし、一方コンデンサは隣接セルの活動領域へ延出する。アレイ内の各活動層はそれぞれが薄い酸化膜によって絶縁されている。活動領域は相互に指状の桁で、相互に指状をなさない列として、または縦横の両方向に単に並列および直線状の配置ができる。活動領域は活動金属酸化膜半導体(MOS)トランジスタを形成するために使用され、これらは所望する用途にしたがってN M O S またはP M O S 型電界効果型トランジスタ(F E T)として蒸着され得るものである。

20 【0017】図1を参照すると、シリコン基板3上に実質的に平坦な領域酸化部分1および将来の活動領域2(これらの基板領域は領域酸化物で被覆されない)を生成するための従来の局部的シリコン酸化(L O C O S)または特殊なL O C O S処理を施した後の工程中のD R A Mセルの断面図が示してある。領域酸化の生成は、シリコン酸化物の熱成長する誘電層4に先行する。図示したセルは同じに製造されメモリーアレイを含む多数のセルの一つである。領域酸化部分1および誘電層4の生成に続き、第一の導電性拡散多結晶層10、金属シリカ層15、および厚い窒化層20が蒸着される。これらの層はパターンに区切られてエッティングされ、ワード線21および電界効果型トランジスタ(F E T)を形成する。導電性の拡散多結晶層10はF E Tのゲート領域を形成し、軽く拡散しているソース／ドレイン領域25および強く拡散したソース／ドレイン領域30から誘電層4によって絶縁される。軽く拡散したソース／ドレイン領域25は硫黄注入を用いて生成される。二酸化シリコン緩衝層の蒸着、含浸、および反応イオンエッティング(R I E)は強く拡散したソース／ドレイン領域30を生成するためには使用されるヒ素注入をオフセットする主スペーサー35を生成している。

30 【0018】図示したようなF E T22およびワード線21の形成が望ましいが、他の製造方法もまた実現可能で、恐らく同等に活用可能である。以下の段階は本発明の記憶コンデンサを生成するための好適実施例の方法を表す。

40 【0019】図2において、一致したエッティング停止層40はプランケット蒸着される。子のエッティング停止層40は以降のエッティング段階の間にエッティング停止作用を行なう。エッティング停止作用の実行に適切な材料に50

は、アルミニウム酸化物、アルミニウム窒化物、シリコンカーバイド、バリウム酸化物、および何らかのエッチング停止セラミック材料が含まれる。

【0020】図3においてシリコン酸化物を含むことが望ましい誘電層45はそれまでに形成された全ての構造を被覆するように蒸着される。誘電層45は平滑化される。化学的機械的研磨(CMP)は平滑化における好適方法である。

【0021】図4において平滑化された誘電層は、選択的に一方から他方に向う湿潤エッチングを有する誘電性材料の交互の層で被覆される。SiO<sub>2</sub>、遅いエッチング層50、Si<sub>3</sub>N<sub>4</sub>、速いエッチング層55が好適誘電体であるが、オゾン4エチルオルソシリカ酸(TEOS)およびPTEOSまたはその他の組合せを用いることもできる。多結晶シリコン薄膜を交替層の一つとして用いることが出来る。この場合、後のエッチングの間に層を露光した後で酸化段階が必要となる。

【0022】図5において、フォトレジストマスク59は、強く拡散した領域30の埋め込み接点領域と製作されたコンデンサの後の接触のために決定的ではないメモリーセルの位置を決定する。図5では誘電層50、55、45はRIEエッチングされており、開口60を形成する。マスクの位置合わせは先行するエッチング停止層40の蒸着により決定的でなくなる。マスク59は既に形成された構造の統合性を妥協することなく広い開口60を決定する。開口60が広く出来るためにコンデンサ製作で利用可能な基板接触領域および縦方向の領域が最大限に確保され、これによってキャパシタンスを増大する。キャパシタンスの増加に加え、エラー率が低下し、歩留りが向上する。パターンで決定的な直径(C.D.)を最小限にするために最適ポリマースペーサー技術を用いる。

【0023】図6において誘電層50および55は選択的にまた等方性にエッチングされる。エッチングはSi<sub>3</sub>N<sub>4</sub>を含む速いエッチング層55を消費し、波状の側壁61を形成する。うねりは開口60から垂直に延出しそれぞれが対抗する方向に延出する水平補助フィンガを有するフィンガ62に類似する。たとえば、フィンガ62aおよび62bは補助である。この等方性エッチングおよびRIEエッチングの間に、エッチング停止層40は多結晶シリコンへの接点の自己整合を行ないエッチング停止層として機能する。多結晶シリコンが交替層の一つに選択されている場合、酸化処理が等方性エッチングの後でエッチング停止層のエッチングの前に実施される必要がある。

【0024】図7において、先行する等方性エッチングの間に露光されたエッチング停止層40がBC1<sub>3</sub>加C<sub>12</sub>による乾式エッチングまたは、エッチング停止層40がAl<sub>2</sub>O<sub>3</sub>の場合H<sub>3</sub>PO<sub>4</sub>を用いる湿潤エッチングで除去される。エッチング停止層のエッチングは誘

電層45、50、55または主スペーサー35のいずれの統合性にも影響することなく実施される。エッチング停止層40のエッチングは基板を露出させ、これによってコンデンサが形成し得る埋め込み接点領域65が提供される。

【0025】図8において、拡散多結晶層70が蒸着されている。拡散多結晶層は素子ノードコンデンサ極板70として機能し、拡散によって素子ノードコンデンサ極板の誘電計数を増大する。素子ノードコンデンサ極板の領域は縦方向のトレンチ内に作られた素子ノードコンデンサ極板の領域上で大幅に増大する。この増加領域はDRAM装置のダイの寸法を増加させることなしに実施される。領域内の増加はキャパシタンスにおける正比例の増加をもたらす。

【0026】図9において、拡散多結晶層70はパターンが作られてエッチングされ、同じに製作された複数の素子コンデンサの下側コンデンサ極板を相互に絶縁するための開口75を形成する。

【0027】図10において、コンデンサセル誘電層80(セラミック)が蒸着され、その場拡散の多結晶層が上側コンデンサ極板85を形成するように蒸着される。セルの誘電層80はSi<sub>3</sub>N<sub>4</sub>が望ましい。その場拡散多結晶層はコンデンサに正孔も充填する。さらに厚い蒸着を続けて行ない硫黄による拡散が行なわれる場合は、非その場拡散多結晶層を用いることもできる。いずれの場合も、拡散が抗して形成されたコンデンサ極板の誘電定数を増加させる。

【0028】図11において、絶縁材料90が蒸着され、上側コンデンサ極板85を続けて形成された相互接続線から絶縁するために、上側コンデンサ極板を被覆する。好適絶縁材料はSiO<sub>2</sub>である。

【0029】図12において、処理層がエッチング停止層40上のSi<sub>3</sub>N<sub>4</sub>の誘電層80への選択性を有するRIEを用いてエッチングされ、マスク95によって実質的に決まる開口94を形成する。図13に示した上面図は、マスク95が接触プラグを形成し得る開口94のための特定領域を決定することを示したものである。破線100は図12に示した断面を表す。

【0030】図14において、開口94の側面が酸化され、露出した多結晶層を絶縁層105で絶縁する。エッチング停止層40は基板3の酸化を防止する。絶縁材料90の何らかの酸化は非決定的である。第2属金属が接地接続に使用されている場合上側極板の露光/エッチング段階を省略することが可能である。

【0031】図15において、エッチング停止層40は開口94のソース/ドレイン領域25を被覆しており、抽出されることで(含浸処理によって)ソース/ドレイン領域25を露出する。エッチング停止層40の除去後、金属化処理を開始する。多数の金属化処理の内一つが本発明を毀損することなく実現できるが、以下に示

す処理段階が望ましい。

【0032】図16は開口内へのタンゲステンプラグ110の蒸着および平滑化である。

【0033】図17はタンゲステンプラグ110を接続するための導電性相互接続線115の製作である。

【0034】図18は顕微鏡写真のグレースケール表現による断面図で、本発明の波状素子接続コンデンサが示してある。誘電材料の交互の層のエッティングで本発明の波状の特徴140が形成される。誘電層145は素子ノードコンデンサ極板150と上側コンデンサ極板155の間に挟まれている。

#### 【図面の簡単な説明】

【図1】部分的に処理した半導体ウエハの一部分の断面図で、シリコン基板上に形成された電界効果型トランジスタ(FET)およびワード線を示す。

【図2】エッティング停止層のブランケット蒸着後の図1のウエハ部分の断面図である。

【図3】誘電層のブランケット蒸着の平滑化を行なった図2のウエハ部分の断面図である。

【図4】選択的に一方から他方へ向う湿潤エッティングを行なう誘電性材料の交互の層の蒸着を行なった後の図3のウエハ部分の断面図である。

【図5】メモリーセル配置のマスクおよびエッティングを行なった後の図4のウエハ部分の断面図である。

【図6】誘電層の等方性エッティングを行なった後の図5のウエハ部分の断面図である。

【図7】エッティング停止層除去後の図6のウエハ部分の断面図である。

【図8】拡散多結晶層の蒸着後の図7のウエハ部分の断面図である。

【図9】拡散多結晶層のマスクおよびエッティングを行なった後の図8のウエハ部分の断面図である。

【図10】セル誘電層および上側コンデンサ平板の蒸着後の図9のウエハ部分の断面図である。

\* 【図11】絶縁材料の蒸着後の図10のウエハ部分の断面図である。

【図12】エッティング停止材料までこれ以外の処理層のマスクおよびエッティングを行なった後の図11のウエハ部分の断面図である。

【図13】図12のウエハ部分の平面図で、図12に示したマスクおよびエッティングによって提供された開口部を示す。

【図14】図12に示した開口部の側面の酸化後の図12のウエハ部分の断面図である。

【図15】図12に示した開口底部のエッティング停止層除去後の図14のウエハ部分の断面図である。

【図16】タンゲステンプラグ形成後の図15のウエハ部分の断面図である。

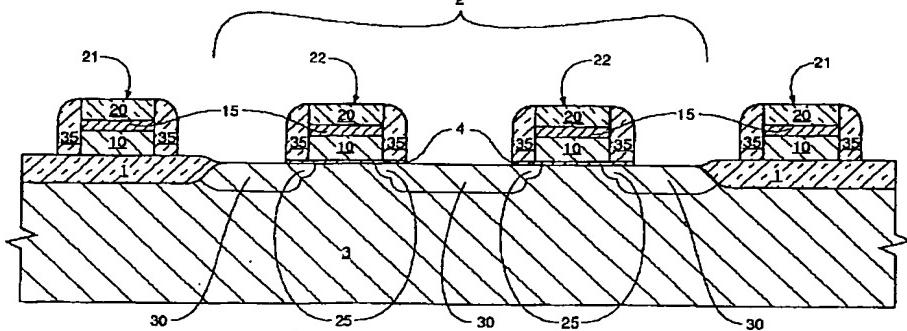
【図17】導電性相互接続線の形成後の図16のウエハ部分の断面図である。

【図18】本発明の方法によって製作された本発明の波状記憶接点コンデンサを示す顕微鏡断面図である。

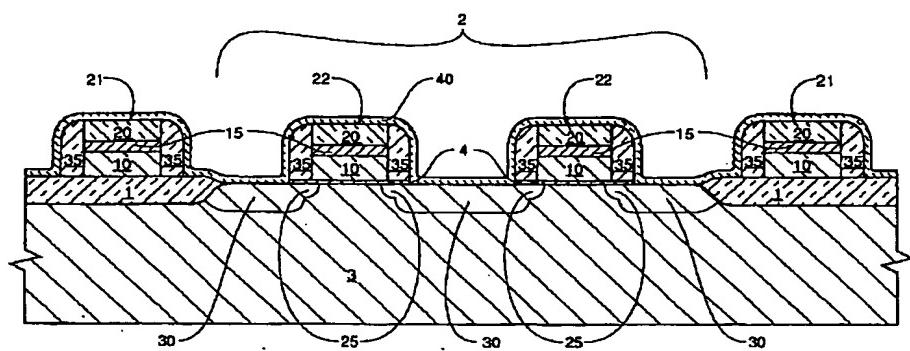
#### 【符号の説明】

20	領域酸化部分
3	基板
21	ワード線
22	FET
30	ソース／ドレイン領域
40	エッティング停止層
45	誘電層
50	エッティング層
55	エッティング層
60	開口
30	側壁
65	接点領域
70	拡散多結晶層
80	コンデンサセル誘電層
*	85 コンデンサ極板

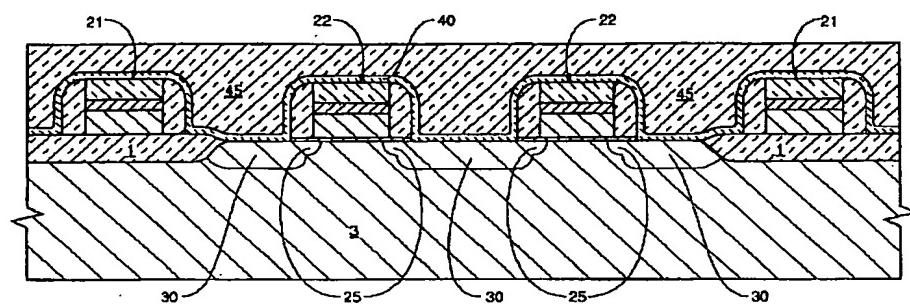
【図1】



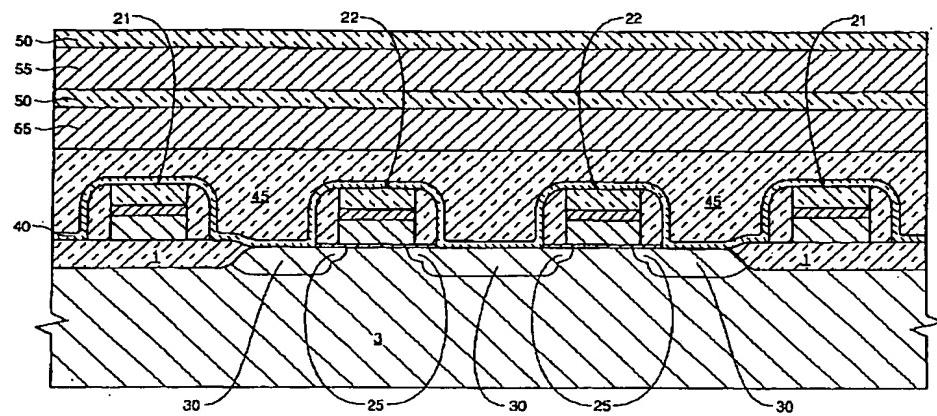
【図2】



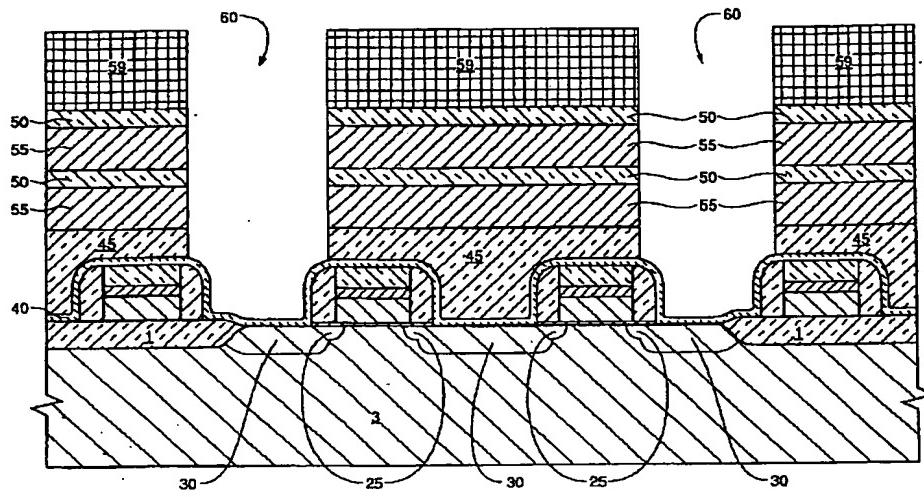
【図3】



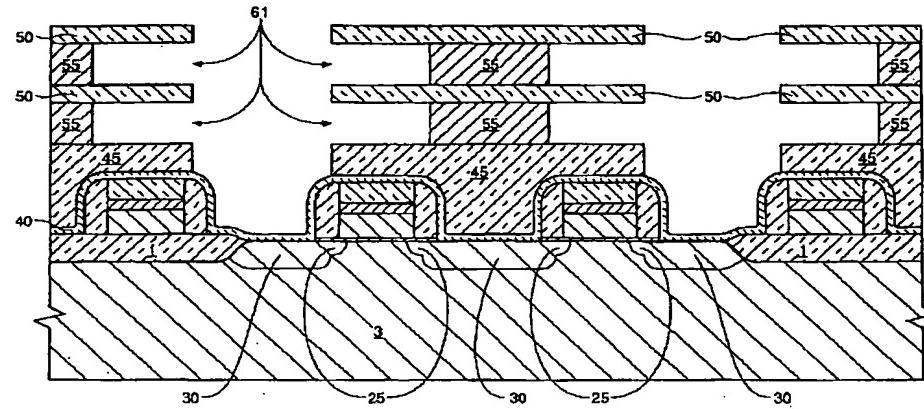
【図4】



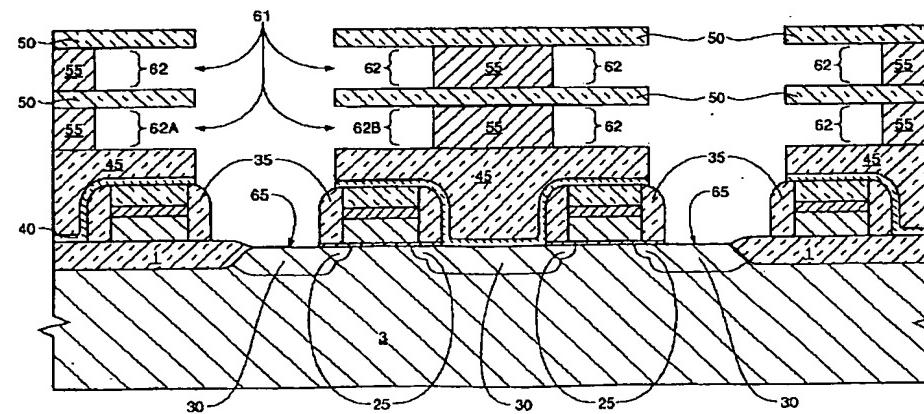
【図5】



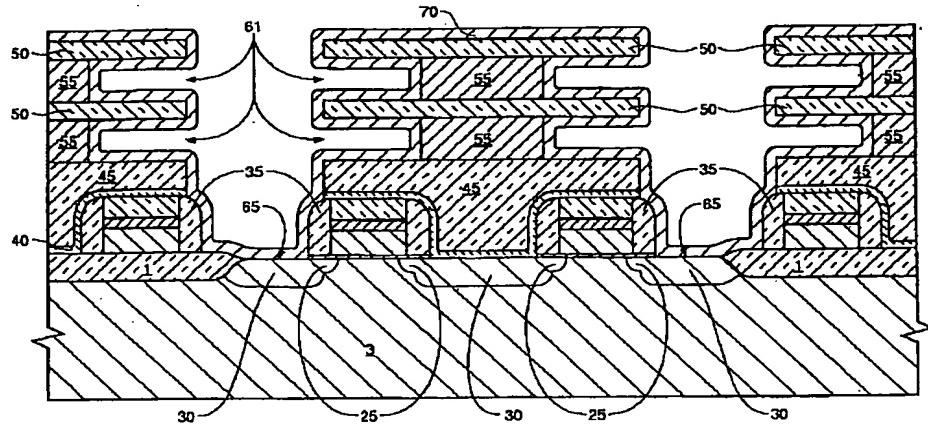
【図6】



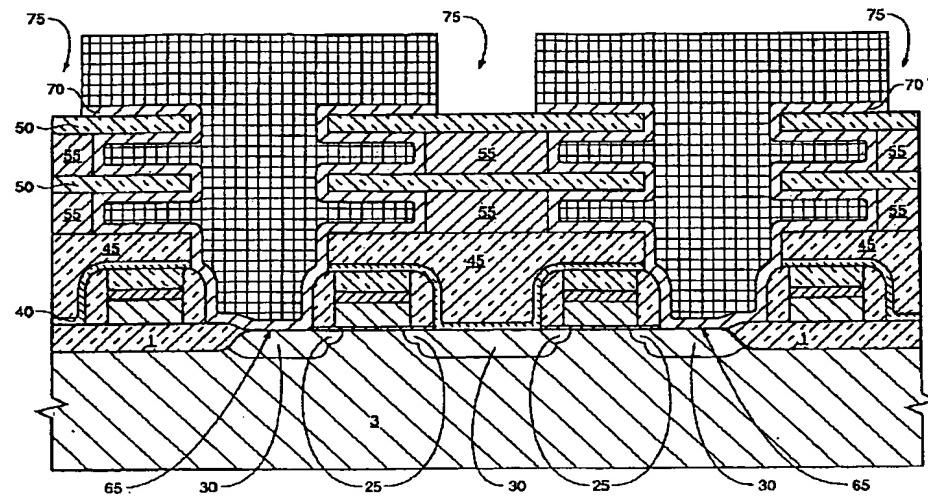
【図7】



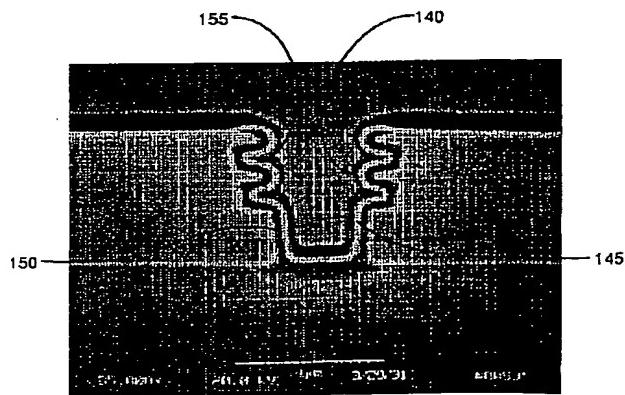
【図8】



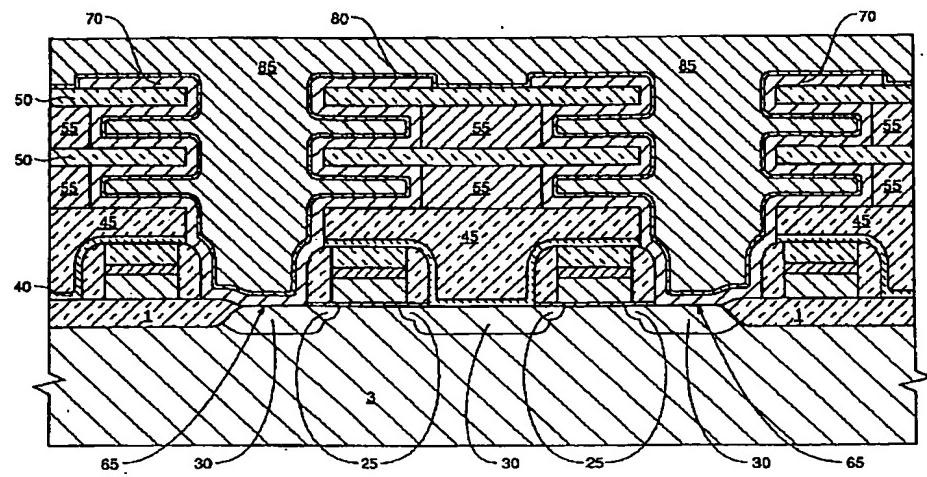
【図9】



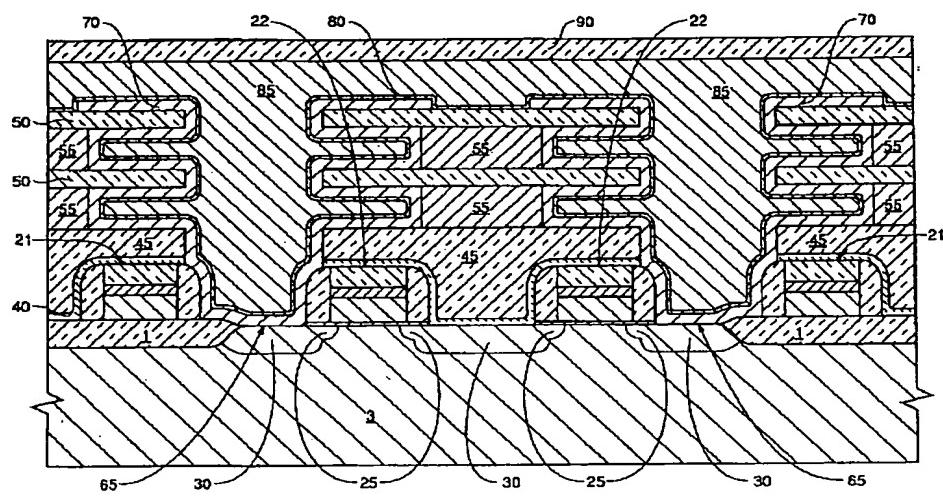
【図18】



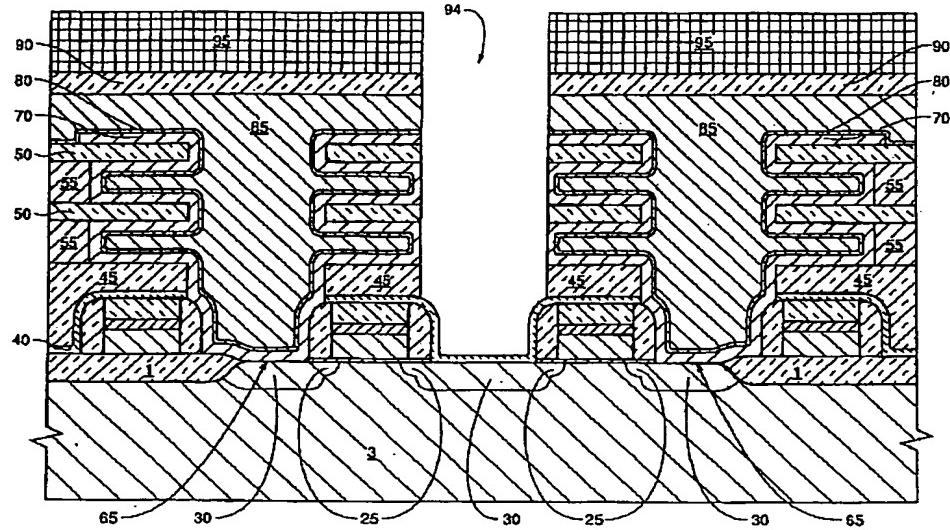
【図10】



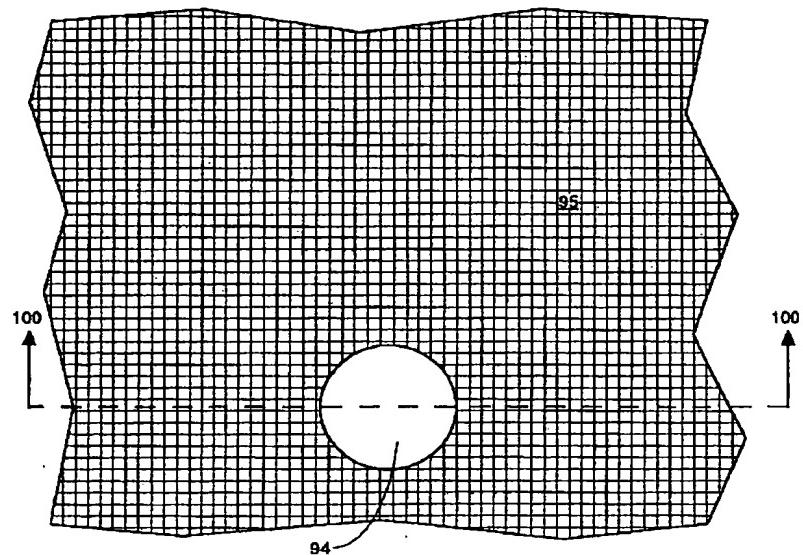
【図11】



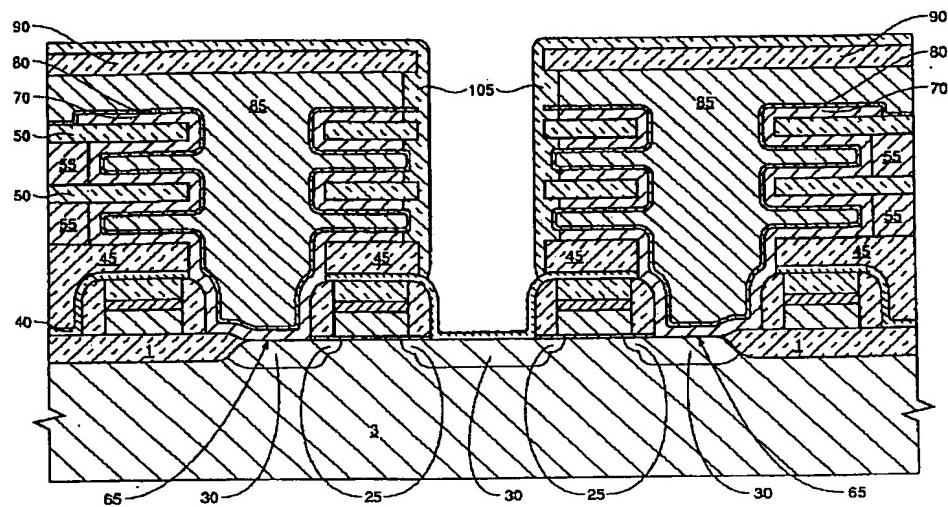
【图 12】



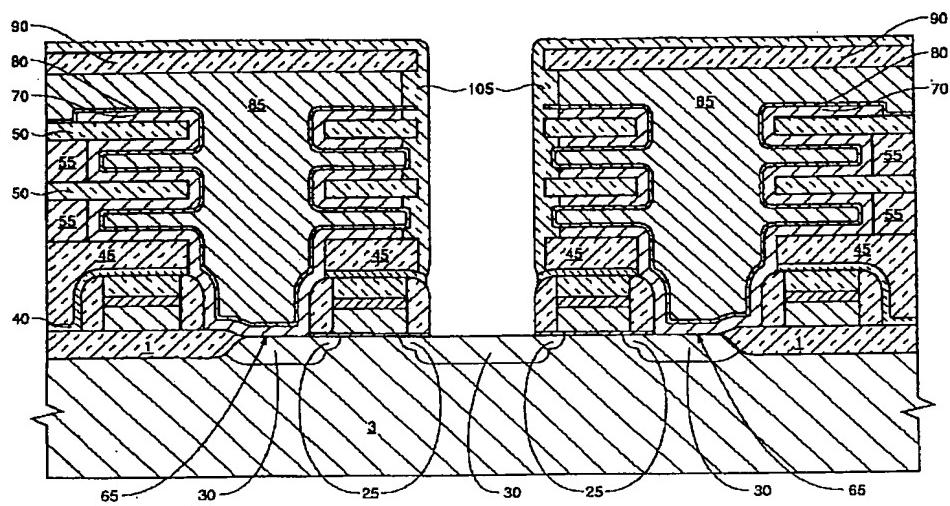
【四 13】



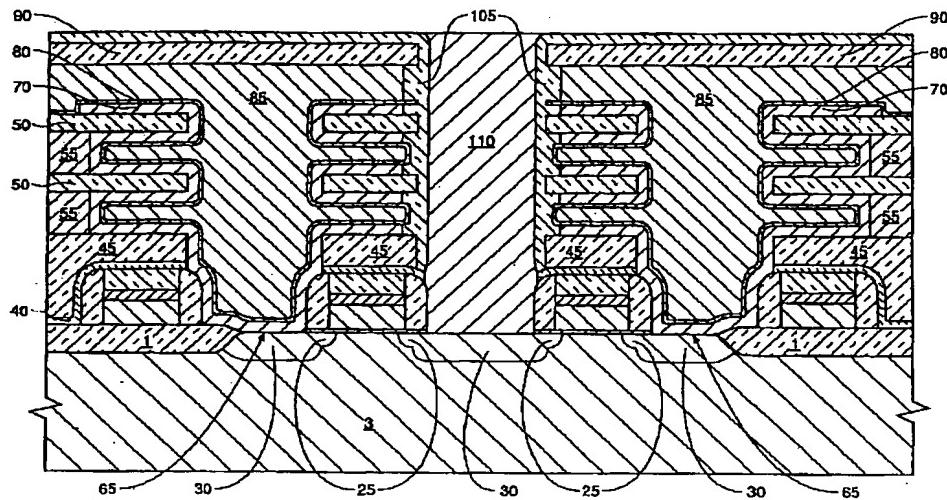
【図14】



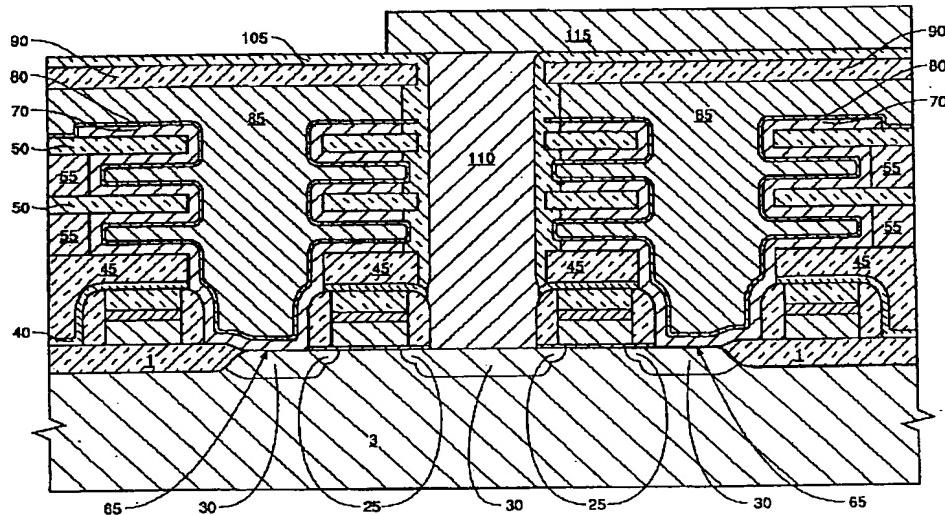
【図15】



【図16】



【図17】



## 【手続補正書】

【提出日】平成5年5月24日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図18

【補正方法】変更

## 【補正内容】

【図18】本発明の方法によって基板上に形成された微細なパターン写真を表わす本発明の波状記憶接点コンデンサの顕微鏡断面写真である。

フロントページの続き

(72)発明者 デイビッド・エイ・キャセイ  
アメリカ合衆国、83703 アイダホ州、ボ  
イーズ、アパートメント 304、ウイスラ  
ーレーン 3374